

Méthodologie de conception d'amplificateurs faible niveau à haute linéarité en technologie MMIC pour récepteur satellite

J. Tapfuh Mouafo^{1,2*}, J. F. Villemazet^{1*}, B. Jarry^{2*}, M. Campovecchio^{2*}, T. Reveyrand²
D. Lopez¹, S. Rochette¹, J. L. Cazaux^{1*}

¹Thales Alenia Space - 26 Av. JF Champollion - BP 1187 - 31037 Toulouse - France

²XLIM - 123, Avenue Albert Thomas 87060 Limoges-CEDEX - France

*AXIS - ThAles & XLIM Initiative for Space Microwaves Electronics

Joseph.TapfuhMouafo@thalesaleniaspace.com

Résumé

Afin de répondre au besoin en d'amplification faible niveau à haute linéarité en sortie des récepteurs satellite, nous avons proposé une méthodologie de conception propre à ces amplificateurs. Elle s'appuie sur la synthèse des réseaux d'adaptation permettant de présenter les impédances optimales au transistor pour sa performance en linéarité (C/I3), à partir des mesures Load-Pull bi-porteuse. Ces mesures sont optimisées pour un point de polarisation optimal et une gamme de puissance de fonctionnement nominale. Les résultats de simulation présentent une amélioration de 7dB sur le C/I3, de 3.5dB sur l'IP3 et d'un facteur 2 sur le rapport IP3/PDC du nouvel amplificateur à haute linéarité conçu en bande C par rapport aux amplificateurs de puissance actuellement utilisés en sortie des récepteurs de télécommunications dans la même bande, chez Thales Alenia Space.

1. Introduction

Aujourd'hui, même si les méthodes de conception des amplificateurs de puissance ou faible bruit sont bien établies, elles ne sont pas toujours suffisantes pour satisfaire les contraintes en linéarité qui se font de plus en plus sévères dans les équipements satellites. D'autre part, même si des modèles non-linéaires de transistor répondent aujourd'hui aux besoins de simulation des amplificateurs de puissance ou faible bruit, les modèles non-linéaires pour la représentation des faibles non-linéarités n'en sont encore qu'à leurs débuts. Dans la suite nous proposons une méthodologie permettant de contourner ce problème.

Afin de tirer profit au mieux des performances du récepteur satellite, le dimensionnement de l'amplificateur de sortie doit se faire suivant les besoins de l'utilisation finale. En sortie des récepteurs satellite, les niveaux de puissance sont relativement faible. Cependant pour satisfaire aux fortes contraintes de linéarité, on utilise habituellement en sortie de ces récepteurs des amplificateurs de puissance, optimisés en puissance à 1 dB de compression de gain, puis le fonctionnement se fait à fort recul. Il s'en suit, une forte consommation et des températures de jonctions élevées.

L'amplificateur que nous nous proposons de concevoir dans la suite, sera optimisé pour son fonctionnement final. L'objectif ne sera pas d'optimiser la puissance à 1dB de compression de gain, mais visera l'optimisation de la linéarité pour un niveau de puissance de fonctionnement donné.

2. Méthodologie de conception

La plupart des modèles couramment utilisés dans les amplificateurs de puissance ne sont pas du tout précis pour le calcul de l'intermodulation à faible niveau. D'autre part, la conception mettant en œuvre des simulations de type bi-porteuse est une analyse coûteuse et réhibitoire en terme de temps de calcul. Nous choisirons donc une méthode plus simple, mais robuste et fiable basée sur une approche de type Load-Pull bi-porteuse.

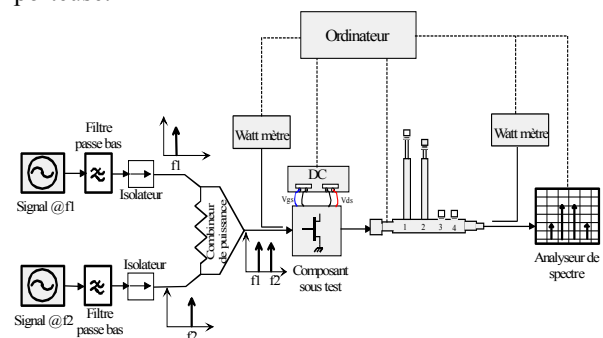


Figure 1. Principe de mesure load-pull bi-porteuse

L'approche de type Load-Pull bi-porteuse s'appuie sur la synthèse de réseaux d'adaptation permettant de présenter les impédances optimales au transistor pour sa performance en linéarité (C/I3). Ces impédances, déterminées à partir d'une campagne de mesure de type Load-Pull bi-porteuse, sont optimales dans la gamme de puissance que devra fournir le transistor dans le cadre du récepteur, soit très en recul par rapport à la puissance de saturation.

L'objectif de cette approche est de déterminer, pour un transistor donné, un jeu de paramètres de fonctionnement qui permette d'obtenir un C/I3 maximum pour une puissance de sortie et une bande de

fréquence données. Les paramètres à optimiser sont: le point de polarisation et l'impédance de charge dans la bande considérée (figures 2 et 3).

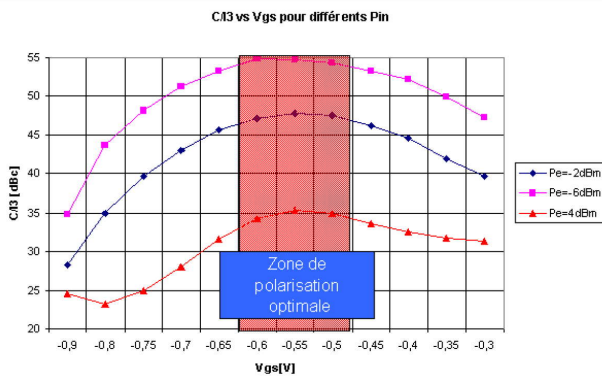


Figure 2. Choix du point de polarisation

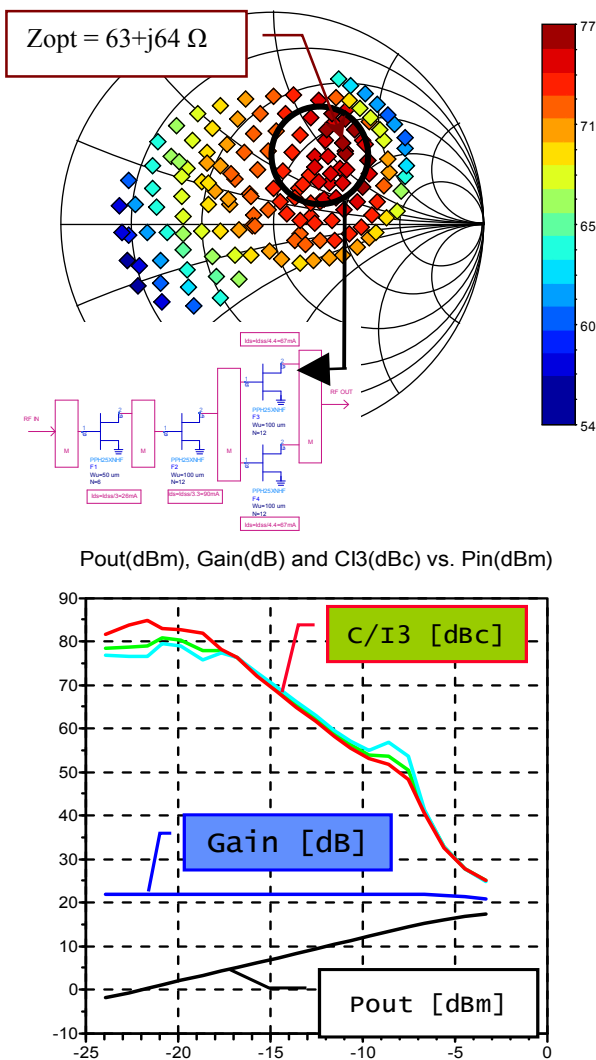


Figure 3. Zone d'impédance à synthétiser en sortie du transistor du dernier étage pour obtenir le C/I3 spécifié et exemples de courbes associées à l'impédance optimale : Mesure d'un transistor PHEMT UMS PPH25X, 12x100um, Pout=10dBm, F0= 3.9GHz, Df=10MHz.

Comme le montre la Figure 2, il existe une zone de polarisation optimale permettant la maximisation du C/I3. Une fois le point de polarisation choisi dans cette zone, la campagne de mesure load-pull peut alors débuter.

Le choix de l'impédance de sortie repose sur les résultats des mesures load-pull bi-porteuses réalisées dans le laboratoire de mesures du département C2S2 de l'institut de recherche XLIM à Limoges.

La campagne de mesure, fournit un ensemble de fichiers permettant de faire la correspondance entre les impédances présentées au transistor, les niveaux de puissance de sortie et le C/I3 associés, pour un transistor et un point de polarisation donnés. Les fichiers de mesures sont enregistrés sous format « .cst » exploitable à l'aide du logiciel « Scilab ». Des scripts rédigés sous « Scilab » nous permettent, pour chaque impédance donnée de connaître l'allure du gain, de la puissance de sortie et le C/I3 correspondant. Inversement le script permet également de balayer tous les fichiers de mesure et de fournir l'impédance optimale en linéarité pour une puissance de sortie donnée.

La Figure 3 présente des exemples de courbes obtenues, pour une mesure en bande C. L'optimum est entouré pour une puissance de sortie de 5 dBm. A cette puissance de sortie, on associe des points/contours de C/I3 correspondants à une impédance particulière présentée en sortie du transistor.

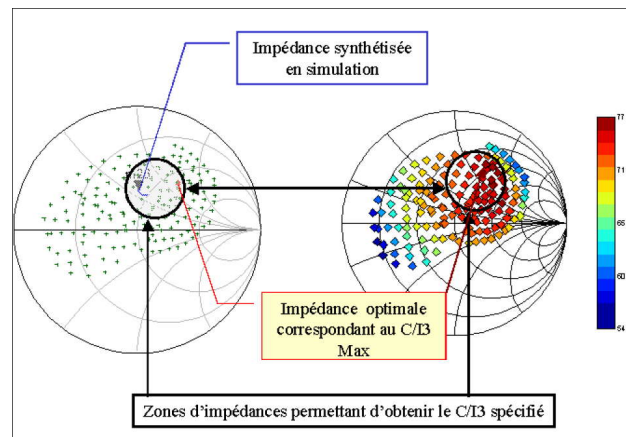


Figure 4. Impédances de sortie mesurées et simulées

La Figure 3 montre que les mesures load-pull présentes sur l'abaque ne correspondent pas seulement à un point (une impédance optimale unique), mais une zone (ensemble d'impédances optimales) dans laquelle on peut obtenir un C/I3 supérieur à celui spécifié. La présence d'une zone optimale de linéarité permet de faciliter le compromis entre l'adaptation de sortie et la linéarité. Il suffira tout simplement de synthétiser une des impédances situées dans cette région pour obtenir la linéarité voulue. La Figure 4 présente les impédances obtenues en simulation permettant d'atteindre le compromis entre adaptation de sortie et la linéarité.

L'impédance finale que nous avons synthétisée vaut: $Z_{out}=41.7+j29.7\Omega$. Cette impédance est située dans la zone optimale de linéarité, ce qui nous permet de réaliser

le compromis entre une bonne adaptation de sortie et une bonne linéarité, comme illustré à la Figure 4

De façon succincte, une fois que les impédances sont choisies, une première optimisation est faite sur le dernier étage en vue de synthétiser correctement l'impédance de charge optimale en C/I3, et en garantissant un S22 acceptable. On rajoute progressivement le deuxième et le premier étage puis on effectue un réglage global sur tout l'amplificateur en vue de garantir non seulement ses performances bas à niveau mais surtout de maintenir l'impédance de sortie la plus proche possible de l'impédance optimale en linéarité.

L'avantage de l'approche load-pull bi-porteuse est, d'une part de ne nécessiter qu'une simulation linéaire pour la synthèse du circuit d'adaptation optimal en terme de linéarité et d'autre part de contourner les limitations des modèles non-linéaires pour la prédiction du C/I₃ à faible niveau.

Les niveaux de C/I3 visés dans le cadre de l'étude seront supérieurs à 60dBc, pour la bande C, où un amplificateur faible niveau à haute linéarité à trois étages a été conçu en se basant sur cette approche.

3. Performances et résultats

3.1. Analyse linéaire

L'analyse linéaire a été réalisée en paramètre [S] bas niveau pour ce qui est du gain, de l'adaptation entrée-sortie et des facteurs de stabilité K et B. Pour cette analyse, les transistors sont représentés par un boîtier de mesure paramètres [S]. Une simulation électromagnétique a été réalisée sur toutes les lignes micro ruban et inductances.

Une analyse de la stabilité en petits signaux et à grands signaux a été réalisée par identification de la réponse fréquentielle en boucle fermée, communément appelée "méthode des sondes", développée par le CNES et l'Université du pays Basque [2][3]. Aucune instabilité n'a été constatée. Les résultats de l'analyse linéaire sont présentés ci-dessous.

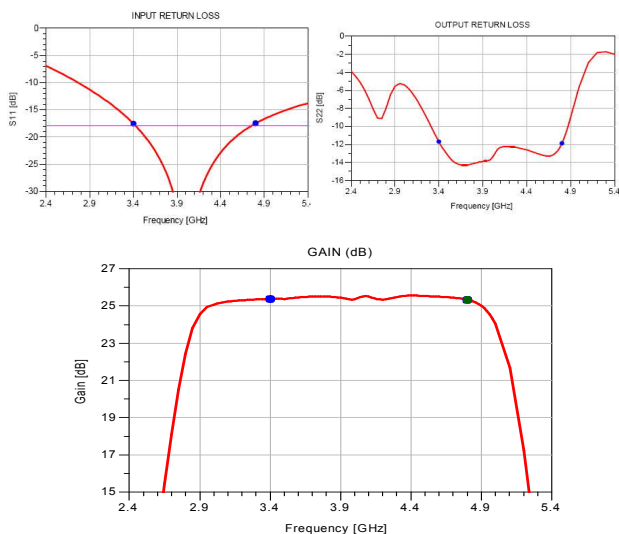


Figure 5. Simulation des performances linéaires de l'amplificateur à haute linéarité

3.2. Analyse non-linéaire

Les simulations du comportement non-linéaire de l'amplificateur faible niveau à haute linéarité ont été effectuées en utilisant le modèle non-linéaire du fondeur¹.

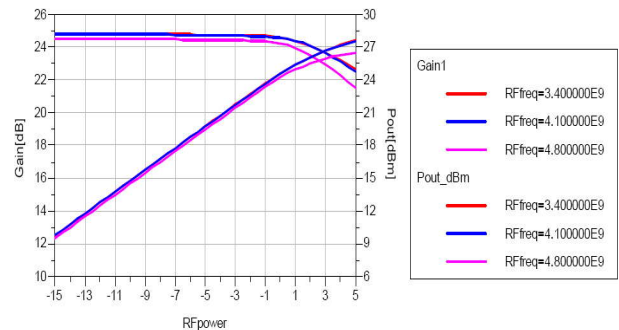


Figure 6. Simulation du gain et de la puissance de sortie de l'amplificateur pour différentes fréquences dans la bande

On peut remarquer que la puissance de sortie à 1 dB de compression est relativement faible 27dBm par rapport au développement de grille utilisé pour le dernier étage de l'amplificateur. En effet, 2.4mm de développement de grille correspondrait, avec une adaptation en puissance à 30.8dBm de puissance de sortie. Cette puissance de sortie relativement faible s'explique par le fait que l'adaptation des transistors du dernier étage est réalisée pour une charge optimale en terme de linéarité et non pas en puissance de sortie.

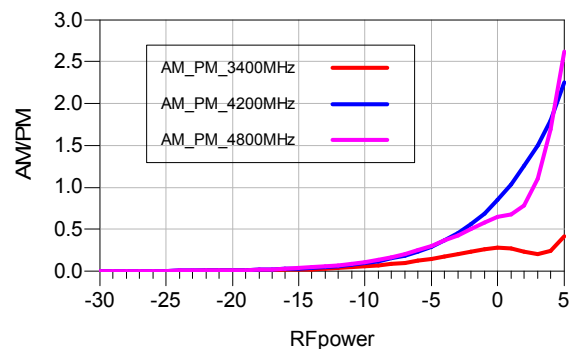


Figure 7. AM/PM de l'amplificateur pour différentes fréquences dans la bande

De la Figure 7 on peut également noter une faible conversion de phase ; l'AM/PM vaut environ 1° à 1dB de compression de gain, ce qui est signe d'une bonne linéarité comparé à ce qui se rencontre généralement dans les amplificateurs de puissance où l'ordre de grandeur est plutôt entre 8° et 10°.

L'amplificateur à haute linéarité proposé se démarque donc bien d'une conception classique d'amplificateur de puissance pour laquelle le point d'intersection d'ordre 3 (IP3) est optimisé par la maximisation de la puissance de sortie à 1dB de compression de gain Pout_{1dB}, l'IP3

¹ Sous réserve de la validité du modèle non-linéaire

étant généralement considéré 8 à 10dB supérieur à Pout_1dB.

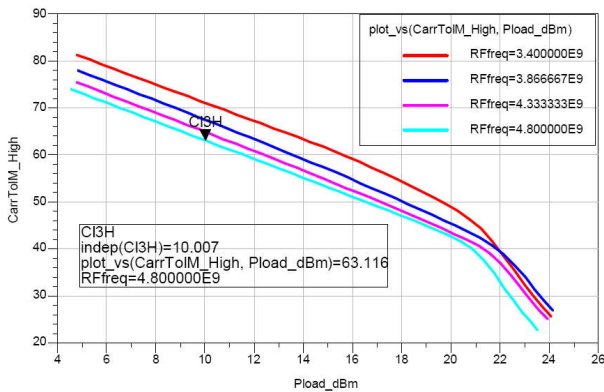


Figure 8. C/I3 de l'amplificateur à haute linéarité pour différentes fréquences dans la bande

Le tableau ci-dessous dresse une comparaison entre les performances de l'amplificateur de puissance couramment utilisé en sortie du récepteur satellite et le nouvel amplificateur faible niveau à forte linéarité (HLA – High Linear Amplifier), pour la même application.

Paramètres	Puce existante	Nouvelle puce
Bande de fréquence	3.3 – 4.3 GHz	3.4 – 4.8 GHz
Gain linéaire	>26dB	>23dB
S11	>18dB	>18dB
S22	>12dB	>11.5dB
P1dB	29dBm	26.5dBm
IP3	35dBm	38.5dBm
C/I3@Pout=2dBm/p	>73dBc	>80dBc
Consommation DC	2.2W	1.5W
IP3/Pdc	>2.1@1.5W	>4.7@1.5W

Tableau 1. Comparaison entre la puce existante et la nouvelle.

Pour le fonctionnement en sortie du récepteur satellite, les performances linéaires sont comparables, notamment l'adaptation, l'ondulation dans la bande etc. Cependant, les performances en linéarité sont meilleures pour le HLA MMIC, par rapport au HPA. On y note une amélioration de 3.5dB sur l'IP3, de 7dB sur le C/I3, et pour la même consommation DC, un rapport IP3/PDC deux fois supérieur à celui de l'ancienne puce.

4. Conclusion

Le dernier élément de la chaîne RF d'un récepteur de Télécommunications satellite est aujourd'hui constitué de l'amplificateur de puissance utilisé en recul.

Nous avons proposé un nouveau type d'amplificateur à haute linéarité non plus basé sur l'optimisation de la puissance de sortie mais sur l'optimisation de la charge des transistors du dernier étage à partir de données issues

d'une mesure load-pull bi-porteuse visant à maximiser directement le C/I3.

Cette approche permet de pallier l'absence de modèle non-linéaire fiable pour prédire l'intermodulation et d'optimiser la linéarité à partir d'une simple simulation linéaire robuste, fiable et rapide.

Les simulations non-linéaires néanmoins réalisées montrent une amélioration de 7dB sur le C/I3, 3.5dB sur l'IP3 et d'un rapport 2 du rapport IP3/PDC du nouvel amplificateur à haute linéarité conçu en bande C par rapport aux amplificateurs de puissance actuellement utilisés en sortie des récepteurs de télécommunications dans la même bande, chez Thales Alenia Space.

5. Bibliographie

- [1] Carvalho, N. B. and J. C. Pedro "Intermodulation distortion in microwave and wireless circuits", Artech House 2003.
- [2] J. Jugo, J. Portilla, A. Anakabe, A. Suárez, J. M. Collantes, "Closed-loop stability analysis of microwave amplifiers", IEE Electronics Letters, vol. 37, pp. 226-228, February 2001.
- [3] J. Portilla, J. Jugo, A. Anakabe, F. J. Casas, J. P. Pascual, J. M. Collantes, "Analysis of Non-linear RF and Microwave Circuits Using Harmonic Balance and System Identification Methods", RF and Microwave Computer-Aided Engineering (Wiley), vol. 12, No. 5, pp. 448-459, September 2002.
- [4] Steve Marsh, "Practical MMIC Design", Artech House Publishers, September 2006.
- [5] Mike Golio, "RF and Microwave Circuits, Measurements, and Modeling", CRC press, 2008.
- [6] Stephen A. Maas, "Non Linear Microwaves and RF circuits", Artech House 2003.
- [7] J. Obregon, R. Soares et J. Graffeuil, "Application des transistors à effet de champs en Arséniure de Gallium", Eyrolles 1984.
- [8] Joseph Tapfuh Mouafo, "Etude d'amplificateurs faible niveau à haute linéarité en technologies intégrées HEMT AsGa pour applications spatiales", Thèse de doctorat de l'université de Limoges, 2008