

Conception d'un amplificateur de puissance à 2 étages intégrant une préformation de la tension de commande d'entrée.

A. Ramadan¹, T. Reveyrand¹, J-M. Nebus¹, P. Bouysse¹, L. Lapiere², J-F. Villemazet³, S. Forestier³

¹XLIM CNRS UMR 6172, 123 Av. Albert Thomas 87000 Limoges

²CNES Toulouse, 18 Av. Edouard Belin 31055 Toulouse

³Thales Alenia Space, 26 Av. Jean François Champollion, 31100 Toulouse

Alaaeddine.ramadan@xlim.fr

Résumé

Ce papier présente une technique d'amélioration du rendement en puissance ajoutée (PAE) d'un amplificateur GaN par la préformation de la tension de commande de grille du transistor. Cette étude est effectuée à la fréquence de 2 GHz en utilisant des transistors GaN 15W de la fonderie CREE. L'amplificateur de puissance à 2 étages présente un rendement en puissance ajoutée (PAE) de 72% associé à une puissance de 41.8 dBm à 3dB de compression de gain à la fréquence centrale. Cet amplificateur comprend un étage de puissance fonctionnant en classe F et un étage driver spécifique pour réaliser une préformation de la tension de commande d'entrée de l'étage de puissance. Cette technique permet d'obtenir de bonnes performances en rendement sur une bande de fréquence assez large, ce qui constitue une difficulté majeure dans le domaine de l'amplification de forte puissance. Dans le cas présenté une valeur de PAE supérieure à 60% est obtenue sur 25% de bande avec une puissance de sortie maintenue à 15 W.

Mots clés: Amplification de puissance, haut rendement, nitrure de gallium, classes de fonctionnement, formes d'ondes temporelles micro-ondes.

1. Introduction

La recherche de rendement optimal des amplificateurs de puissance est motivée par la réduction du dimensionnement des amplificateurs et de leur gestion thermique associée. Les transistors de puissance HEMT en technologie GaN sont de très bons candidats pour la conception d'amplificateurs de puissance à très fort rendement. L'amplification de puissance micro-onde à haut rendement requiert des configurations spécifiques d'impédance de fermeture aux harmoniques. [1].

L'obtention de conditions de fonctionnement conduisant à des performances de haut rendement

nécessite la minimisation des temps de coexistence de la tension et du courant aux bornes de la source de courant contrôlée interne au transistor. La tendance vers un mode de commutation est un basculement très bref de l'état on et off de la tension et de façon complémentaire du courant puis d'un maintien de la tension à son état fort pendant que le courant est quasi nul et vice versa.

Les solutions de type « harmonic tuned » offrent actuellement pour les amplificateurs de forte puissance, la meilleure efficacité de conversion d'énergie continue en énergie RF à la fréquence fondamentale fournie à l'antenne.

Les recherches d'architectures d'amplificateurs intégrant un contrôle d'impédances de charge d'harmoniques ont été menées depuis longtemps quelque soit la technologie considérée. [2-6].

En revanche, la problématique de formation de la tension de commande d'entrée pour augmenter les performances en rendement a été un axe nettement moins investigué [7][8][9].

Le travail présenté ici montre une conception originale d'amplificateur intégrant une préformation active de tension de grille et une validation rigoureuse du fonctionnement au moyen de mesures calibrées de formes d'ondes temporelles sous sondes haute impédance aux nœuds internes du circuit hybride réalisé.

2. Principe de préformation de la tension de grille et résultats de simulations

Le bénéfice, pour les performances en rendement, de la préformation du signal de commande d'entrée $V_{gs}(t)$ d'un transistor par l'injection d'harmonique 2 est illustré Figure 1.

$$V_{gs}(t) = V_{gs0} + V_{gs1} \cos(\omega t) + V_{gs2} \cos(2\omega t + \varphi_2)$$

Les améliorations potentielles en rendement peuvent être quantifiées par rapport au cas d'une excitation conventionnelle sinusoïdale autour du même point de polarisation de grille V_{gso} . Afin d'améliorer les performances en rendement, une injection active de composante à l'harmonique 2 en entrée est effectuée pour obtenir une forme de tension demi sinusoïdale.

Cette forme optimisée est obtenue pour $V_{gs2}=V_{gs1}/7$ et $\phi_2=0$.

Cette forme de tension de commande de grille est appliquée à un transistor ayant un circuit de charge de type classe F optimisé tel que représenté Figure 1.

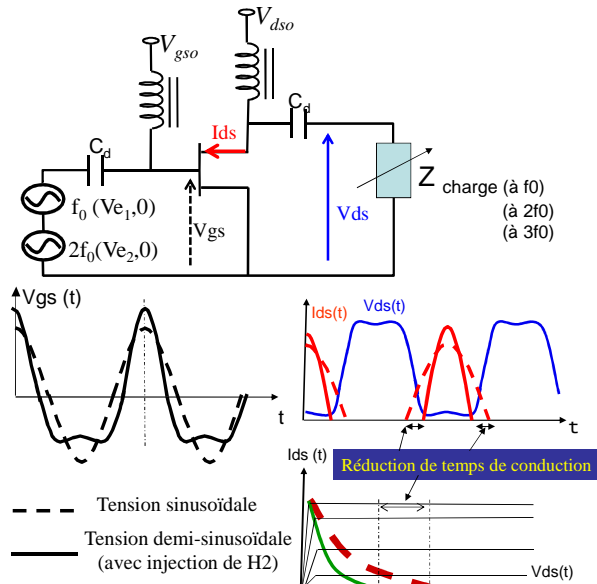


Figure 1. Principe et schématique de simulation.

Une forme temporelle de tension de grille demi-sinusoïdale correctement calée par rapport à la valeur de la tension de pincement permet de réduire le temps pendant lequel le transistor conduit. Ceci réduit le temps de coexistence entre la tension et le courant de drain minimisant ainsi la puissance dissipée par le composant, ce qui conduit à une amélioration de PAE.

Des formes temporelles simulées dans les deux cas (tension de grille sinusoïdale et tension de grille préformée) sont présentées Figure 2. Ces simulations ont été réalisées à 2 GHz en utilisant un modèle non linéaire d'une puce GaN CREE.

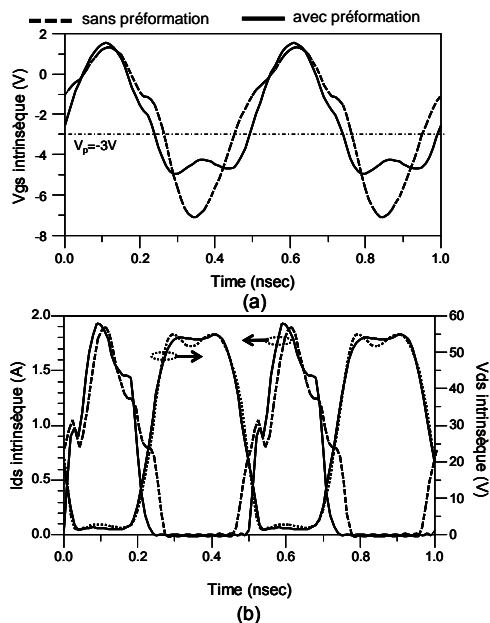


Figure 2. Les formes temporelles de la tension et du courant de grille (a) et drain (b)

La diminution du temps de conduction du courant de drain obtenue par ces conditions d'injection d'harmonique 2 en entrée entraîne à une réduction de temps de coexistence entre tension et courant de drain. En effet, la forme de la tension de drain n'est quasiment pas affectée par cette injection d'harmonique 2 tant que l'on se trouve dans des conditions de charge très basse impédance à l'harmonique 2, ce qui est le cas en classe F. Sur le principe, une amélioration du rendement de l'ordre de 7 points est possible comparativement à un fonctionnement en classe F classique avec une tension d'entrée sinusoïdale (Figure 3).

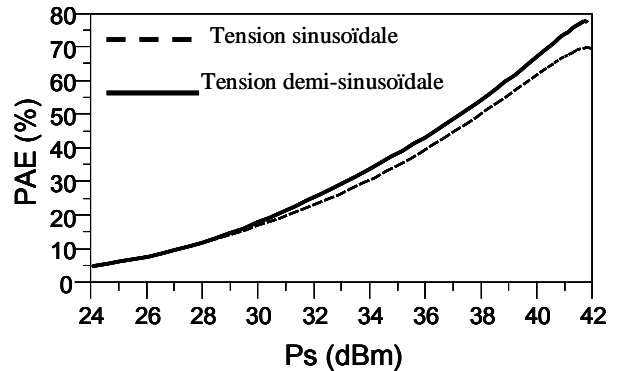


Figure 3. Les performances simulées avec et sans préformation de la tension de grille.

Des mesures sous pointes de formes d'ondes temporelles utilisant un système de type LSNA ont été effectuées pour valider ce principe [10] [11].

3. Conception d'un amplificateur de puissance à 2 étages

Pour mettre en œuvre cette technique, une architecture d'amplificateur à 2 étages a été conçue en utilisant des transistors en puce HEMT GaN Cree 15W comme illustré Figure 4. L'amplificateur comporte un étage driver qui a deux fonctions principales: la première est de délivrer la puissance nécessaire pour le fonctionnement de l'étage de puissance et la deuxième est de commander l'étage de puissance par une tension de grille de forme demi sinusoïdale.

Le circuit inter étages doit être un circuit à faibles pertes. Pour former correctement la tension $V_{gs}(t)$ de l'étage de puissance, un transfert approprié des harmoniques f_0 et $2f_0$ en module et en phase est nécessaire entre l'accès drain intrinsèque du driver et l'accès grille intrinsèque de l'étage de puissance. Le circuit inter étage qui constitue le point dur du problème doit assurer aux mieux le compromis entre adaptation de puissance et adaptation de tension. Le driver a une polarisation de drain la plus faible possible (7 V) pour ne pas impacter le rendement global tandis que l'étage de puissance a une polarisation de drain de 28V. L'étage de puissance a comme configuration de charge une topologie classe F avec un court-circuit à l'harmonique 2 et une haute impédance à 3fo.

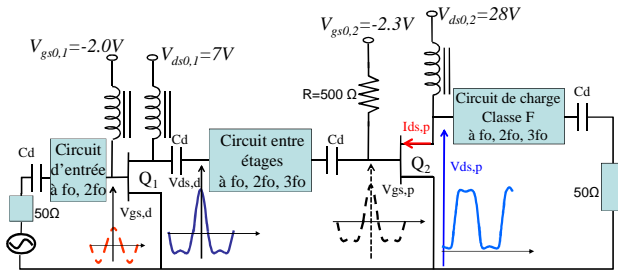


Figure 4. Topologie de l'amplificateur à 2 étages.

La Figure 5 montre les résultats en puissance simulés obtenus à la fréquence de 2 GHz. Nous pouvons relever un gain linéaire de 28dB, une puissance de sortie de 41.9 dBm au point maximum de rendement en puissance ajoutée de 71.5 %.

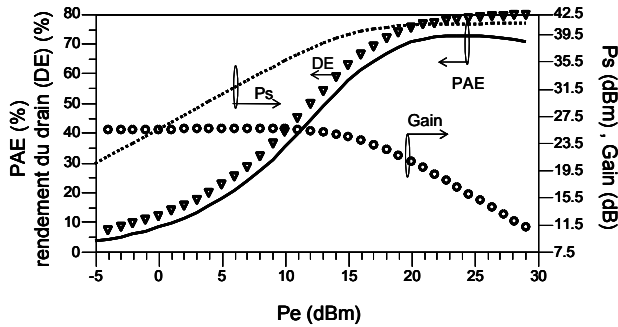


Figure 5. Résultats de simulation de l'amplificateur à 2 étages à 2 GHz.

4. Circuits réalisés et résultats de mesure

Les amplificateurs à un étage (a) et à deux étages (b) fabriqués avec la technologie hybride de Thales Alenia Space sont représentés Figure 6. L'amplificateur (a) ne possède pas de préformation active de la tension de grille. La polarisation de grille est assurée par une topologie de stub $\lambda/4$ conventionnelle. Le circuit de charge est quant à lui strictement identique à celui de l'amplificateur (b). Ainsi la comparaison des performances des deux circuits va permettre de juger du bénéfice apporté par la méthode du driver de grille mise en place dans le cadre de ce travail.

Les mesures en CW des formes d'ondes temporelles sont effectuées dans les plans coaxiaux pour les mesures de performances en puissance et sous sonde haute impédance aux nœuds internes du circuit [12] pour la validation générale de l'étude.

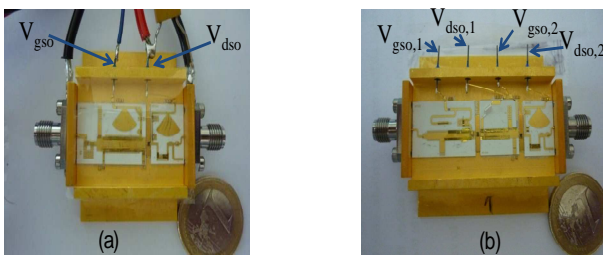


Figure 6. Amplificateurs de puissance réalisés: classe F un étage (a) et 2 étages (b).

La Figure 7 présente une comparaison des performances mesurées des deux modules à la compression et en fonction de la puissance. Une amélioration de 4 points de PAE est obtenue à la fréquence centrale de 2 GHz. Cette amélioration tient compte de la consommation du driver qui offre de plus une augmentation de gain de l'ordre de 9 dB.

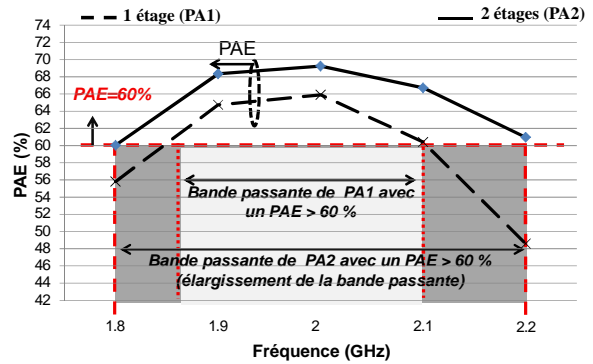


Figure 7. Performances mesurées des 2 amplificateurs de puissance dans la bande 1.8-2.2GHz.

Sur la bande de fréquence analysée, on note que le gain et la puissance de sortie restent quasiment constants.(Figure 8).

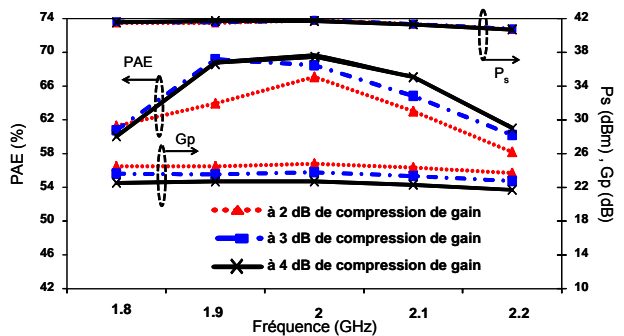


Figure 8. Gain et puissance de sorties mesurées de l'amplificateur à 2 étages en fonction de la fréquence à plusieurs compressions de gain.

L'introduction du driver a donc bien permis d'augmenter le rendement global de l'amplificateur tout en bénéficiant d'un gain total plus élevé. Un résultat important observé réside dans l'amélioration de la bande de fréquence pour laquelle la PAE est supérieure à 60 %.

Cet élargissement d'un facteur 2 de la bande tout en conservant une puissance de sortie de 41.8 dBm et un fort rendement est attribué au maintien d'un angle d'ouverture favorable pour l'étage de puissance lorsque la fréquence de fonctionnement s'écarte de la fréquence centrale. Ceci est montré Figure 9 par les formes d'ondes temporelles de tensions de grille de l'étage de puissance normalisées à 2 périodes (2T) et mesurées pour plusieurs fréquences de fonctionnement.

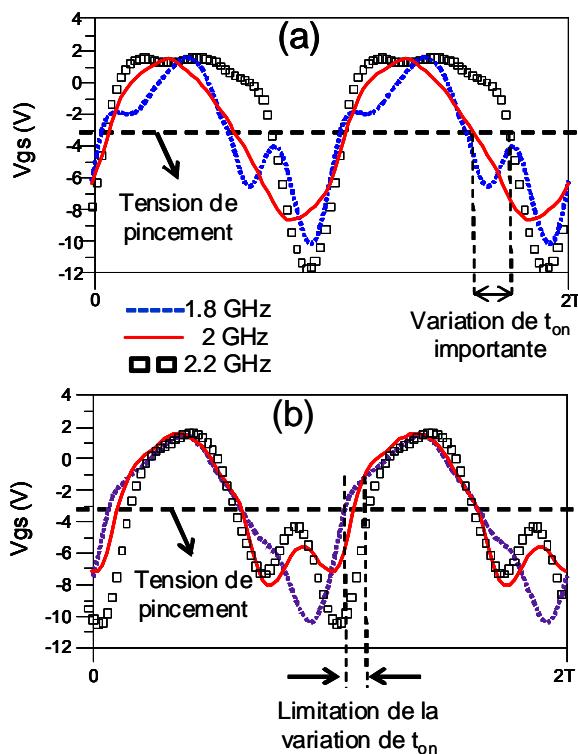


Figure 9. Mesures des tensions de grille des étages de puissances de PA1 (a) et PA2 (b). aux noeuds internes par sonde haute impédance.

L'injection active de l'harmonique 2 en entrée en utilisant l'amplificateur à 2 étages permet de garder un temps de conduction minimal pour une variation de fréquence relativement grande (figure 9b). On observe par contre, pour l'amplificateur conventionnel Figure 9a, une dispersion assez forte du temps d'ouverture de la source de courant lorsque la fréquence de fonctionnement varie. Ceci est responsable de la chute de rendement significative pour les fréquences de fonctionnement s'écartant de la fréquence centrale.

5. Conclusion

L'originalité de ce travail s'est focalisée sur la possibilité d'accroître les performances en rendement des amplificateurs en technologie GaN par une préformation de la tension de commande d'entrée des transistors.

Une architecture de circuit à deux étages a été étudiée et réalisée. Un premier étage fonctionnant en mode saturé et à basse tension de drain est utilisé comme 'driver' de grille d'un second étage de puissance.

Cette architecture, naturellement destinée à l'amplification de signaux à enveloppe constante, a permis d'obtenir des résultats très satisfaisants avec notamment un très bon rendement maintenu sur une bande de fréquence relativement large (de l'ordre de 25%).

6. Remerciements

L'auteur tient à remercier Messieurs Dominique Geffroy, Hissa Yahy et Cyril Baulon ingénieurs à Thales

Alenia Space, Toulouse, pour leur contribution à la réalisation et aux tests des amplificateurs de puissance.

7. Bibliographie

- [1] Andrei Grebennikov, Nathan O. Sokal "Switchmode RF Power Amplifiers", Newnes, 2007.
- [2] Frederick H. Raab, "Class-F Power Amplifiers with Maximally Flat Waveforms", IEEE 1997.
- [3] Young Yun Woo, Youngoo Yang and Bumman Kim, "Analysis and Experiments for High-Efficiency Class-F and Inverse Class-F Power Amplifiers", IEEE Trans. on Microwave Theory and Techniques, Vol. 54, No. 5, MAY 2006.
- [4] David Schmelzer, and al. "A GaN HEMT Class F Amplifier at 2 GHz With >80% PAE" IEEE Journal of Solid-State Circuits, Vol. 42, No. 10, October 2007.
- [5] Mustafa Akkul, Michael Roberts, Vanessa Walker, Wolfgang Bosch, "High Efficiency Power Amplifier Input/output Circuit Topologies for Base station and WLAN Applications", 2004 IEEE MTT-S Digest.
- [6] P. Colantonio, F. Giannini, G. Leuzzi, and E. Limiti, "Multiharmonic manipulation for highly efficient microwave power amplifiers," Int. J. RF Microwave CAE, vol. 11, pp. 366–384, Nov. 2001.
- [7] P. White, "Effect of input harmonic terminations on high efficiency class B and class F operation of PHEMT devices," in IEEE MTT-S Int. Symp. Dig., June 7–12, 1998, vol. 3, pp. 1611–1614.
- [8] S.Gao, P.Butterworth, S. Ooi, and A. Sambell "High-Efficiency Power Amplifier Design Including Input Harmonic Termination", IEEE transactions on microwave and wireless components letters, vol.16, no.2, february2005.
- [9] B. Ingruber, W. Pritzl, D. Smely, M. Wachutka, and G. Magerl, "Harmonic-controlled amplifier," IEEE Trans. Microwave Theory Tech., vol. 46, no. 6, pp. 857–863, June 1998.
- [10] A. Ramadan, T. Reveyrand, A. Martin, J.M. Nebus, P. Bouysse, L. Lapiere, J.F. Villemazet and S. Forestier, "Experimental study on effect of second-harmonic injection at input of classes F and F-1 GaN power amplifiers", Electronic Letters 19th April 2010 Vol. 46 No.
- [11] A. Ramadan, T. Reveyrand, A. Martin, J.M. Nebus, P. Bouysse, L. Lapiere, J.F. Villemazet and S. Forestier, "Efficiency enhancement of GaN power HEMTs by controlling gate-source voltage waveform shape", European Microwave Conference 2009 Rome.
- [12] T. Reveyrand, A. Mallet, J.M. Nébus, M. Vanden Bossche, "Calibrated Measurements of Waveforms at Internal Nodes of MMICs with a LSNA and High Impedance Probes", 62nd ARFTG Conference Digest, pp. 71-76, Boulder (CO), December 2003.