

Mise en œuvre d'un boîtier d'un transistor GaN optimisé haut rendement (70% PAE) et large bande (1GHz) en bande S.

Jérôme Chéron¹, Michel Campovecchio¹, Denis Barataud¹, Tibault Reveyrand¹, Wilfried Dementitroux¹⁻⁴, Michel Stanislawiak², Philippe Eudeline², Didier Floriot³.

¹ XLIM – UMR 6172, Université de Limoges/CNRS, 123 avenue Albert Thomas, 87060 Limoges, France.

² THALES AIR SYSTEM, ZI du Mont Jarret, Ymare, 76520 Boos, France.

³ UMS, route départementale 128, BP 46, 91401 Orsay cedex, France.

⁴ AMCAD Engineering, Ester Technopole, BP6915, 87069 Limoges, France.

Résumé

Ce papier expose une nouvelle méthodologie d'optimisation d'un boîtier de transistor GaN pour la conception d'amplificateur très haut rendement et large bande, fournissant 70% de PAE sur 1GHz en bande S. Ces performances sont obtenues en optimisant uniquement les impédances à la fréquence fondamentale. En effet, le contrôle des impédances aux fréquences harmoniques du transistor est réalisé lors du câblage de la puce dans son boîtier. Des mesures load-pull à 3.2GHz ont démontré que la PAE atteint 72% en optimisant uniquement le fondamental, soit 8 points de PAE en plus par rapport à un transistor sous pointes. De plus, les variations de la PAE à l'harmonique 2 sont de 6 points seulement ce qui assure un fonctionnement haut rendement du transistor en boîtier.

1. Introduction

L'amélioration du rendement en puissance ajoutée (PAE) est un critère fondamental notamment dans les applications radars. L'obtention du rendement maximum a de nombreux bénéfices sur les systèmes radars ; l'échauffement thermique est réduit, ce qui permet de faciliter la gestion thermique et d'alléger les structures de refroidissement. De plus, une augmentation du rendement engendre une diminution globale de la consommation électrique du système.

Pour obtenir de telles performances, l'utilisation de classes de fonctionnement haut rendement est nécessaire. Ces classes (C, E et F) sont appliquées au transistor [1] dans le but de préformer les ondes de tensions et de courants. Des études théoriques et expérimentales ont été publiées sur la classe F et F⁻¹ [2] permettant de réaliser des amplificateurs à haut rendement (85% de PAE à 2GHz) [3], très proches des rendements théoriques maximums [4]. De très bonnes performances sont obtenues mais les bandes passantes sont limitées même si la classe J [5] met en avant un fonctionnement plus large bande.

Les travaux suivants exposent une méthodologie du contrôle d'harmoniques liée à un câblage et un choix spécifique du boîtier. Le principe est de mettre en place

une fonction de filtrage interne au boîtier à l'aide de capacités, de fils de câblage et des caractéristiques du boîtier. Ainsi, ce filtre effectuera une transformation de toutes les impédances présentées en sortie du boîtier en les confinant dans une zone optimale en rendement dans le plan du drain du transistor. Des mesures et des simulations load-pull au fondamental et à l'harmonique 2 seront réalisées dans le plan du boîtier sur la bande [2.5-4]GHz, permettant ainsi de vérifier l'impact du contrôle des impédances harmoniques interne au boîtier sur les performances en rendement.

2. Détermination des zones optimales à la fréquence harmonique 2.

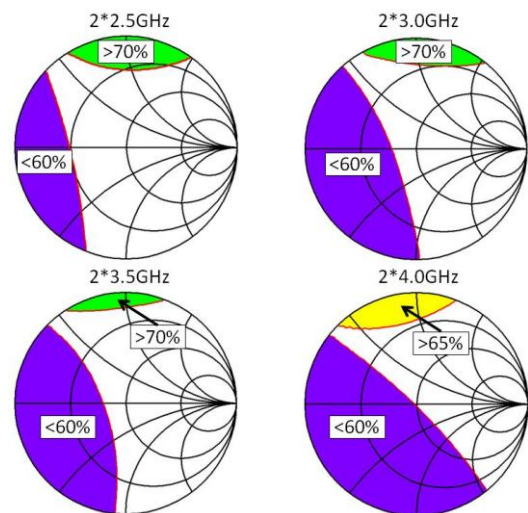


Figure 1. Zones optimales et minimales de PAE du transistor simulées à l'harmonique 2.

Un transistor HEMT GaN UMS de 2.4mm de développement est utilisé pour cette étude. Un modèle électrothermique non linéaire a été extrait et validé en puissance. Des mesures load-pull pulsées sous pointes (largeur du pulse 10µs sur une période de 100µs) sont réalisées sur toute la bande S pour une tension de drain de 50V et un courant de repos de 2mA. Cette étape a permis de localiser les zones optimales à l'harmonique 2 en sortie. La figure 1 présente les zones optimales et

minimales de PAE simulées à l'harmonique 2 lorsque l'impédance est optimisée à la fréquence fondamentale.

Les zones de PAE étant désormais définies, une méthodologie d'adaptation interne au boîtier sera mise en œuvre pour confiner les impédances aux harmoniques 2 dans leur zone optimale. Cela permettra en premier lieu d'augmenter le rendement en puissance ajoutée et dans le même temps, d'empêcher une adaptation dans les zones minimales de PAE ou le rendement peut être inférieur à 50%.

3. Adaptation intrinsèque au boîtier des impédances à l'harmonique 2.

3.a. Méthodologie d'adaptation interne au boîtier

Le principe d'une adaptation des impédances aux fréquences harmoniques interne au boîtier repose sur une fonction de filtrage de type passe bas. Ainsi, les éléments capacitifs et inductifs du boîtier sont optimisés pour filtrer les impédances aux fréquences harmoniques dans les zones optimales. Un schéma électrique par éléments localisés [6] est réalisé pour modéliser le boîtier et son câblage associé. La figure 2 présente le modèle équivalent d'un transistor packagé incluant le modèle non linéaire du transistor.

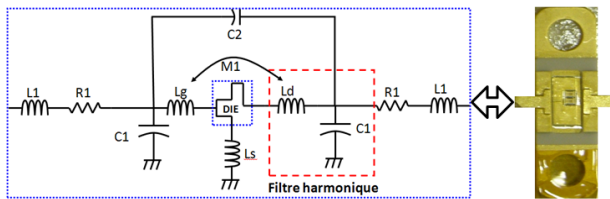


Figure 2. Modèle équivalent d'un transistor en boîtier céramique.

Les fils de câblages de grille et de drain sont respectivement représentés par une inductance équivalente L_g et L_d . Une mutuelle M_1 est également prise en compte entre ces deux fils de câblage. Les quatre fils de source étant suffisamment éloignés entre eux et de tout autres fils de câblage, une seule inductance équivalente L_s permet leur modélisation. Les parties métallisées de la céramique, correspondant à l'entrée et la sortie du boîtier, sont représentées par une capacité équivalente C_1 . Un couplage entre les deux accès du boîtier est modélisé par une capacité C_2 . R_1 représente les pertes du boîtier et L_1 une self parasite. Ce type de modélisation a été validé en paramètre S et en puissance. Des comparaisons load-pull seront présentées dans le tableau 1 de la partie 4.

Les éléments du boîtier ayant le plus fort impact sur les rapports de transformation d'impédances de charge sont les fils de câblage (L_d) et la céramique métallisée (C_1). La figure 3 illustre les étapes des transformations d'impédances entre les différents éléments du boîtier à 6.4GHz.

Connaissant les zones optimales de sortie à l'harmonique 2, un câblage spécifique de la puce sera réalisé. La capacité C_1 est optimisée de manière à

obtenir une forte réduction des impédances transformées par la céramique métallisée, lorsqu'une variation d'impédance est appliquée à la sortie du boîtier. La valeur de C_1 doit être alors suffisamment élevée pour garantir un confinement des impédances transformées tout en faisant attention que l'impédance au fondamental du transistor soit toujours adaptable. Ensuite l'inductance L_d est optimisée pour déplacer ces impédances dans la zone voulue de l'abaque de Smith (en l'occurrence les zones optimales de rendement).

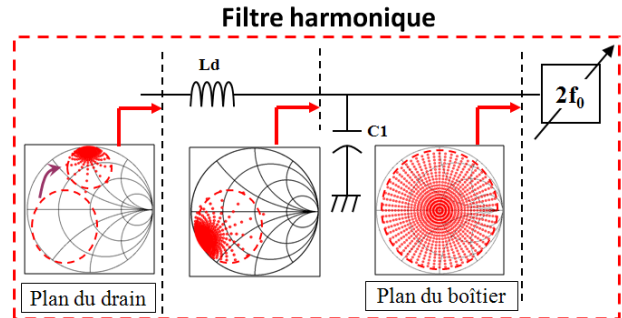


Figure 3. Méthodologie de simulation pour optimiser les transformations d'impédances entre la sortie du boîtier et le plan de la puce à $2f_0$.

3.b. Réalisation d'un transistor en boîtier optimisé

L'optimisation du précédent filtre fournit une capacité équivalente C_1 de 2pF et un fil de câblage de drain d'inductance équivalente L_d égale à 1.5nH. Une capacité de 2pF correspond à une impédance caractéristique de 8.3 ohms. Une céramique métallisée correspondant à cette impédance caractéristique est une alumine d'épaisseur 0.5mm et de 6.4mm de largeur. Le boîtier choisi pour cette étude présente des dimensions très similaires.

Pour obtenir une inductance équivalente de 1.5nH, un fil de câblage de 2.2mm de long et de 17 μ m de diamètre est connecté entre la puce et le boîtier côté drain. La courbure imposée à ce fil étant importante, l'inductance équivalente est extraite grâce au modèle Phillips [7] disponible sous ADS et est ensuite confirmée lors de l'extraction du modèle du boîtier. La connexion de grille est réalisée avec un fil de 1.9mm de long et de 38 μ m de diamètre. Les quatre connexions de sources sont câblées au plus court (environ 0.5mm et 38 μ m de diamètre). La figure 4 illustre le câblage réalisé.

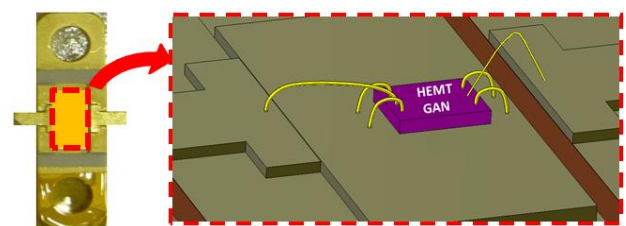


Figure 4. Câblage d'un transistor en boîtier optimisé en rendement.

3.c. Etude de l'adaptation à l'harmonique 2 en bande S.

Le modèle complet du précédent câblage (figure 2) est désormais utilisé pour étudier les transformations d'impédances dans le plan de la puce. Une variation d'impédance limitée à un module de 0.8 est imposée en sortie du boîtier. Ce module est défini par la limitation du tuner à l'harmonique 2. La figure 5 présente les transformations réalisées par le boîtier dans le plan de la puce aux fréquences harmoniques doubles.

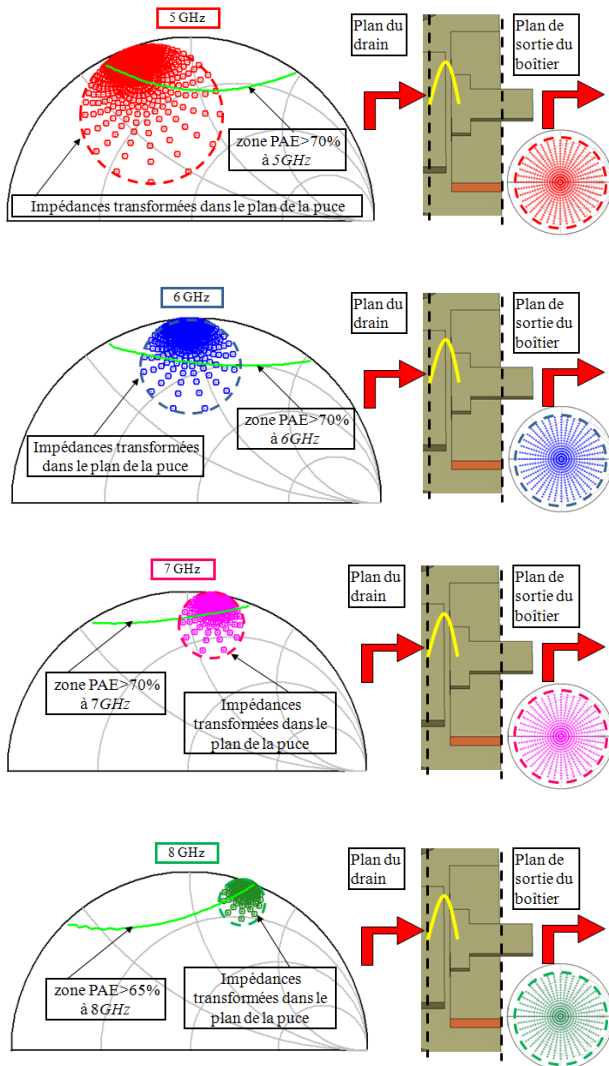


Figure 5. Transformations réalisées par le boîtier optimisé dans le plan de la puce aux fréquences harmoniques doubles de la bande S.

L'étude est réalisée de 2.5GHz à 4GHz. Les impédances transformées dans le plan du drain se situent en majorité dans les zones optimales de rendement. Cette méthode présente l'avantage d'éviter les zones de creux de rendement et d'assurer une amélioration de la PAE quelque soit l'impédance présentée aux fréquences harmoniques doubles. La limite de cette méthodologie s'observe tout de même à 2.5GHz ou les impédances transformées à l'harmonique 2 (5GHz) ne sont pas

totalemment confinées dans la zone optimale. Une autre limite est alors détectée à 4GHz. Elle correspond à la sortie de la zone optimale des impédances transformées dans le plan de la puce. En revanche, c'est à cette fréquence que le confinement des impédances est le meilleur.

4. Simulations et mesures du transistor en boîtiers optimisés.

4.a. Mesures du transistor en boîtier optimisé

Le transistor en boîtier optimisé est désormais mesuré en puissance. Des mesures load-pull pulsées dans les plans du boîtier (largeur du pulse $10\mu s$ sur une période de $100\mu s$) sont réalisées à 3.2GHz pour une tension de drain de 50V et un courant de repos de 2mA. Les alimentations sont continues.

Dans un premier temps, des contours load-pull sont réalisés à la fréquence fondamentale pour rechercher l'optimum de PAE. Les impédances aux fréquences harmoniques 2 et 3 sont fixées à 50 ohms. Ensuite, un contour load-pull est réalisé à la fréquence harmonique 2 lorsque l'impédance optimale de rendement est fixée au fondamental. Le tableau 1 expose les résultats des mesures et de simulations du transistor en boîtier optimisé à 3.2GHz et à 2.5dB de gain de compression.

	Simulations	Mesures
LP @ f ₀ (Z _{H2} =50Ω)		
LP @ 2f ₀ (Opt@f ₀)		

Tableau 1. Comparaison des mesures et simulations load-pull du transistor en boîtier optimisé.

Le premier constat est que ce transistor en boîtier optimisé fournit une PAE de 72% en optimisant uniquement l'impédance à la fréquence fondamentale. La deuxième information concerne la très faible variation de rendement mesurée à l'harmonique 2. La PAE varie entre 66% et 72%. Cette mesure révèle bien que les impédances transformées par le boîtier sont confinées dans la zone optimale de rendement, évitant par la même occasion tout creux de PAE. Le troisième point souligne la très bonne concordance entre la mesure et la simulation, que ce soit sur les lieux d'impédances ou les performances électriques.

4.b. Etude des performances en bande S

La fiabilité du modèle du transistor en boîtier étant désormais démontrée, une étude est réalisée sur la bande [2.5-4]GHz. Des simulations load-pull au fondamental et à l'harmonique 2 sont réalisées dans les mêmes conditions que précédemment et sont présentées dans le tableau 2.

Fréquences [GHz]	2.5	2.7	3.0	3.2	3.5	3.8	4
Transistor en boîtier optimisé							
Max PAE[%] (Zh2=50Ω)	70	72	71	72	71	68	65
Variation de la PAE @2f0 (Γ=0.8)	57-74	62-74	64-73	66-72	68-72	66-69	64-66
Puissance de sortie [dBm]	42.6	42.6	42.4	42.6	41.8	41.2	41.5
Gain [dB]	13.2	13.2	13.0	13.3	12.4	11.5	11.3
Transistor sous pointes							
Max PAE[%] (Zh2=50Ω)	67	67	65	64	63	62	60
Variation de la PAE @2f0 (Γ=0.8)	59-71	57-72	56-71	56-71	53-71	53-70	53-68
Comparaison entre le transistor en boîtier optimisé et le transistor sous pointes							
Augmentation de la PAE (Zh2=50Ω)	+3	+5	+6	+8	+8	+6	+5

Simulations
 Mesures

Tableau 2. Mise en évidence de l'amélioration de la PAE d'un transistor en boîtier optimisé en bande S.

Sur la bande [2.5-3.5]GHz, la PAE est supérieure à 70%, et offre jusqu'à 8 points de PAE en plus par rapport à un transistor sous pointe dont les mesures ont été réalisées dans les mêmes conditions. Ces mesures et simulations prouvent ainsi que la transformation d'impédance réalisée par le boîtier est conforme à la théorie énoncée.

Sur la bande [3-4]GHz, le transistor en boîtier est fortement désensibilisé aux variations d'impédances à l'harmonique 2, assurant ainsi des performances supérieures à 64% de PAE sur toute la bande et pouvant atteindre 72% à 3.2GHz. A titre d'exemple, la variation de la PAE mesurée à l'harmonique 2 du transistor en boîtier est de 6 points contre 15 points pour le transistor sous pointes. A 4GHz, la variation de la PAE n'est plus que de 2 points.

Notons également les performances globales mesurées de ce transistor en boîtier qui fournit une puissance de sortie de 18W (7.5W/mm) associée à un gain de 13.3dB et une PAE de 72% à 3.2GHz.

5. Conclusion

Cette méthodologie a permis de mettre en place un transistor en boîtier optimisé haut rendement. Elle permet d'obtenir un transistor en boîtier ayant un potentiel de 70% de PAE sur la bande [2.5-3.5], en optimisant uniquement les impédances à la fréquence fondamentale. Cette méthodologie permet également d'augmenter la PAE de 3 à 8 points sur la bande [2.5-4]GHz par rapport à des mesures de la puce sous pointes.

Sur la bande [3-4]GHz, le transistor en boîtier est fortement désensibilisé aux variations d'impédances à l'harmonique 2. Quelles que soient les impédances aux fréquences harmoniques présentées en sortie du boîtier, elles seront confinées dans les zones optimales de rendement. La variation mesurée est de 6 points de PAE à 3.2GHz et atteint seulement 2 points à 4GHz. Cette méthodologie permettra alors de concevoir un circuit d'adaptation de sortie uniquement à la fréquence fondamentale, les impédances à l'harmonique 2 étant déjà contrôlées à l'intérieur du boîtier.

6. Remerciements

Les auteurs souhaitent remercier la DGA pour leur soutien financier.

7. Bibliographie

- [1] F. H. Raab. « *Class-E, Class-C, and Class-F power amplifiers based upon a finite number of harmonics* », IEEE Trans. Microwave Theory & Tech., vol. 49, no. 8, pp. 1462-1468, August 2001.
- [2] Y. Y. Woo, Y. Yang, and B. Kim. « *Analysis and experiments for high-efficiency class-F and inverse class-F power amplifiers* », IEEE Trans. Microwave Theory & Tech., vol. 54, no. 5, pp. 1969-1974, May 2006.
- [3] Schmelzer, and S. I. Long « *A GaN HEMT Class F Amplifier at 2 GHz with >80% PAE* », Compound Semiconductor Integrated Circuit Symposium, pp. 96-99, Nov. 2006.
- [4] F. H. Raab. « *Maximum efficiency and output of class-F power amplifiers* », IEEE Trans. Microwave Theory & Tech., vol. 49, no. 6, pp. 1162-1166, May 2001.
- [5] Cripps, S. C., « *RF Power Amplifiers for Wireless Communications* » 2nd Edition, Artech House Publishers, 2006.
- [6] Liang, J. A. Pl'a, P. H. Aaen, and M. Mahalingam, « *Equivalent-circuit modeling and verification of metal-ceramic packages for RF and microwave power transistors* », IEEE Trans. on MTT, vol. 47, no. 6, pp. 709-712, Jun. 1999.
- [7] K. Mouthaan, and all, « *Microwave modelling and measurement of the self- and mutual inductance of coupled bond* », in Proc. Bipolar/BiCMOS Circuits Meeting, 1997, pp. 166-169.